



次にスーパーコンピュータの歴史について簡単に振り返っておきたい。1940年代に最初にできたENIACは、真空管を18,000本使った非常に大きなシステムであった。消費電力は150KWで当時の電力事情として大きなもので、ENIACが稼働するとフィラデルフィア中の電灯が一瞬暗くなったという話もある。主に弾道計算に使われて、その性能は加減算が1秒間に5,000回、乗算が4,000回くらいであった。1950年代になると真空管も進歩して小さくなり、1960年代になると、シリコントランジスタを利用した計算機が登場する。CDC6600ではCPUのクロックは10MHzで1MFlops程度の性能となった。1つの命令で演算やデータ移動1つを記述するスカラー計算機で近代的な計算機アーキテクチャの原型とされており、ロードストア・アーキテクチャ、複数演算機のアウト・オブ・オーダー(OoO)実行が実装された。1970年代になると、1960年代よりも小型化されたCray-1が登場し、クロックは80MHzで160MFlopsの性能となった。小規模だがICを用いたことで、小型化が実現された。また、Cray-1は商業的・性能的にも最初に成功したベクトル計算機として有名であり、ベクトルレジスタや半導体メモリを備えている。1980年代になると日本のスーパーコンピュータの時代があって、例えばNECのSX-2でLSIを使用することで、6nsクロックで掛け算、加減算のパイプライン4本の構成で1.3GFlopsとなった。時期的には同じく1GFlopsを超えた富士通VP-400や日立S-810よりも遅かったが、ピーク性能は高かった。1990年代になると、ASCI-Redが1.8TFlopsと1TFlopsを超える計算機として登場した。200MHzのIntel Pentium Proプロセッサを9,216台で3次元メッシュネットワーク(ただし、Z方向は2なので、ほぼ2次元)を備えていた。ASCIは核兵器維持管理のための計算機プロジェクトなので、主に核爆弾のシミュレーション用に使用された。2000年代になると2004年に完成したIBMのBlue Gene/Lで131,072個のカスタムプロセッサと3次元トラスネットワークでピーク性能360TFlops、2010年代になると、2012年に完成した「京」はカスタムプロセッサを88,128個、6次元トラスネットワークでピーク性能は11PFlopsとなった。2020年に「富岳」に入れ替えが完了し、約50倍の計算速度となった。現在(2020年以降)のスーパーコンピュータでは、「京」や「富岳」のようにCPUではなく、加速器(多くの場合はNVIDIAのGPU)をたくさん並べて計算性能を高めている。

## 1.2. 現状の困難とポストムーア

スーパーコンピュータの歴史を簡単に振り返ったが、素子の高速化という観点でいうと、スイッチング速度が重要でないわけではないが、配線を信号が伝搬する速度の方が昔から重要であった。理論的には信号はほぼ光の速さで伝わるが、最近のLSI上の配線は非常に細く抵抗(R)が大きいため、キャパシ

タンス(C)を充電しないとイケないことによるRC遅延により、信号が伝わる速度は光の速さよりも非常に遅くなる。太い配線に大電流を流せば速くなるが、電力消費が大きくなってしまったり、面積も大きくなるので微細化に矛盾するという状況にある。素子の小型化については、真空管、トランジスタ、ICという進化は1970年代までは重要だが、サイズだけでなく消費電力が下がることも重要であった。1980年代から2000年くらいまではCMOS LSIの微細化により電圧を下げることで、速度も向上した。しかし、2000年頃からバンドギャップの限界で電圧が下がらなくなり、速度が上がらなくなった。これは、いわゆるCMOSスケールングの終焉であり、2015年くらいからは微細化も困難になってきた。また、トランジスタの構造・製造工程が複雑になり、微細化するとかえって価格が上昇するようになったので、一般にムーアの法則も終焉を迎えたとされている。

## 1.3. 計算機の進歩の方向

CMOSスケールングに関して、Intelのマイクロプロセッサの線幅とクロックをグラフにしてみると、線幅は40年間で3桁減少している。一方、クロックは25年間で3桁上昇して2015年以降は頭打ちになっている。線幅とクロックの関係でみると、90nmまではCMOSスケールング以上に性能が向上しているが、これはある意味で無理をしていたことになる。つまり、90nmまでは微細化しても電圧をあまり下げずに、パイプラインの段数を増やすことでクロックを上昇させていた。しかし、消費電力が増えるので、1チップ100Wになったところで限界となり、2015年頃からはクロックを上昇させるのではなく、コア数や演算器の数を増やすことで性能を向上させている。また、計算機アーキテクチャの進化を振り返ってみると、1976年まではスカラー計算機、1976年から1992年までは共有メモリ並列のベクトル計算機で、1993年から2008年まではマルチコアを含むマイクロプロセッサの分散メモリ並列計算機、2008年からはGPUアーキテクチャなどのアクセラレータとマイクロプロセッサの組合せとなっている。概ね15年ごとにアーキテクチャが大きく変わってきたが、GPUの次はまだ現れていない。このようにアーキテクチャが変わってきた理由としては、そのままでは半導体の進歩を有効に利用できなくなったことが考えられる。例えば、ICの開発で使えるゲート数が1演算器を超えて大きくなったことや半導体メモリの開発によりメモリが非常に高速になったことでスカラー計算機からベクトル計算機への移行が生じた。ベクトル計算機の進歩は、1プロセッサのパイプライン数や主記憶を共有するプロセッサ数を増やすことにあったが、メモリへの配線がパイプライン数やプロセッサ数に比例する以上に増えた結果、共有メモリ型は限界を迎えた。その後は、多数のマイクロプロセッサとメモリの組合せの間をネットワークでつなぐ構成が有利となり分散メモリ並列の計算機に移行

した。しかし、マイクロプロセッサ内のコア数が増えると、階層キャッシュとオンチップの共有メモリという構成でキャッシュコヒーレンスを維持するための電力の方が支配的となり、この構成での更なる大規模化は難しくなり、GPUを併用するようになった。GPUではキャッシュコヒーレンスを緩和したり、捨てたりすることで電力消費を若干改善しているが、本質的な改善にはなっていない。また、メモリアクセスだけで消費電力の半分くらいになる場合もあり、B/Fを大きくできない。CPUに比べてメモリバンド幅・演算性能の絶対値は高いが、キャッシュでもB/Fは低いなどの問題がある。

#### 1.4. AI向けプロセッサの方向とMN-Coreについて

深層学習向けの計算では、ニューラルネットワークの1層は行列ベクトル積、画像認識で主流の畳み込みネットワークやトランスフォーマーでは行列行列積が主要な計算で精度はあまり必要とされず、32ビットではなく8ビット表現や4ビット表現も使われる。NVIDIAのH100では16ビットで4×4の行列同士の乗算の専用回路で8ビットだとその2倍の性能になるようなプロセッサで1チップ1PFlops（通常の64ビットだと50TFlops程度）となっており、「富岳」よりも100倍近く速い。

Preferred Networksと共同開発した深層学習向けプロセッサである2020年に完成したMN-Coreは当時、深層ニューラルネットワークの学習で世界最高の電力あたりの性能を実現した。16ビット演算（FP16）で524TFlops、1Wあたり1.2TFlopsで同じ半導体技術のNVIDIA V100の2.5倍以上の電力あたりの性能となっている。浮動小数点演算はFP64、FP32、FP16の性能比が1:4:16となっており、全体がSIMDで動く。また、B/Fもベクトル演算モードに対して8と大きくローカルメモリにデータがあればほぼ理論ピーク性能が出る。さらに通常のアーキテクチャと違い、アーキテクチャレジスタ数の制限がないため、レジスタリネーミングが不要となる。さらに固定長ベクトル命令の採用により、OoO実行自体も不要になっている。MN-Coreの後継には、TSMC 7nmを採用してMN-Coreよりも小さいチップで400TFlopsを実現したMN-Core2が2023年に完成した。また、Samsung 2nmを採用して完成時点で世界最高性能を目指すものやLLM推論向けの開発も始まっている。ソフトウェアの開発環境には、既存のPyTorchから小さい修正で動作するものや汎用HPC向けにOpenCLやOpenACCのようなものが用意されている。

#### 2. 聴講における感想（アドバンスソフト）

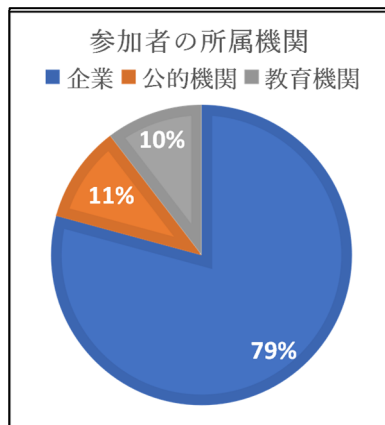
計算機の進歩について、スーパーコンピュータの歴史や現状がポストムーアの時代であることを半導体技術と計算機アーキテクチャの側面から解説いただき、最先端のAI向けプロセッサについても紹介いただいた。ヘテロジニアスなシステムをいかに使いこなすかがハイパフォーマンスコンピューティングでは重要になってきた昨今、多くの計算科学技術者にとって、大変有意義なご講演であったと思う。

#### 【ご経歴】

1990年 東京大学大学院 総合文化研究科 広域科学専攻博士課程 修了（学術博士）、東京大学 助教授（1999-2006）、国立天文台教授（2006-2011）、東京工業大学 教授（2011-2013）、理化学研究所 計算科学研究機構 副プロジェクトリーダー（2014-2021）、神戸大学教授（2016-2023）等を経て、2023年から神戸大学 特命教授と、株式会社 Preferred Networks VP コンピュータアーキテクチャ担当 CTO を兼任。

### 参加者

申込者は119名、当日の参加者（視聴者）（社外）は77名でした。参加者（視聴者）の内訳は、企業が61名、公的機関が8名、教育機関が8名でした。主な業種は、「ソフトウェア/システム」、「材料/素材」、「官公庁/公的機関」でした。主な職種は、「研究/開発」、「技術/設計」でした。



### 参加者のご意見

感想では、「スーパーコンピュータの変遷とこれからの進展がたいへん参考になりました。」や「内容が充実しておりもっと時間が欲しかった」等、満足度の高いご講演であった旨のご回答を多くいただきました。

### 公開資料

ご講演のYouTube動画は、右のQRコードからご覧いただくことができます。



ご講演の資料は、右のQRコードの「資料をダウンロードする」からログイン後、ダウンロードすることができます。ログインアカウントをお持ちでない方は、「資料をダウンロードする」から新規メンバー登録後、ログインしてダウンロードすることができます。



右のQRコードから過去のアドバンス・シミュレーション・セミナーのYouTube動画をご覧いただくことができます。





## 今後の開催予定

アドバンス・シミュレーション・セミナー

2024 の開催要領

<https://www.advancesoft.jp/seminar/20299/>

No.	日程 受付状況	内容	テーマ
第1回	4月19日(金) 終了	「 <b>ロケットと宇宙機に関するいろいろな自由表面流</b> 」 東京大学大学院 工学系研究科 航空宇宙工学専攻 教授 姫野 武洋 様	自由表面流の予測 と管理
第2回	5月17日(金) 終了	「 <b>ペプチド創薬を加速する分子動力学シミュレーションと深層学習</b> 」 東京工業大学 情報理工学院 情報工学系 教授 秋山 泰 様	バイオ・計算科学
第3回	6月28日(金) 終了	「 <b>デトネーションエンジン開発状況とシミュレーション事例の紹介</b> 」 慶應義塾大学 理工学部 機械工学科 教授 松尾 亜紀子 様	航空宇宙エンジン
第4回	7月12日(金) 終了	「 <b>シミュレーションのための情報可視化</b> 」 お茶の水女子大学大学院 人間文化創成科学研究科(兼) 文理融合 AI・データサイエンスセンター長 教授 伊藤 貴之 様	可視化・AI
第5回	8月23日(金) 終了	「 <b>シミュレーション技術のリスク評価への適用</b> 」 東京大学大学院 工学系研究科 原子力国際専攻 教授 高田 孝 様	原子力・リスク評価
第6回	9月20日(金) 終了	「 <b>ポスト・エクサ、ポストムーア時代の HPC と AI</b> 」 神戸大学大学院 理学研究科 惑星学専攻 特命教授 牧野 淳一郎 様	HPC・AI
第7回	10月11日(金) 終了	「 <b>建築・都市の新たな風環境デザイン</b> 」 千葉工業大学 創造工学部 建築学科 元教授 森川 泰成 様	建築・都市の新たな 風環境デザイン
第8回	11月22日(金) 終了	「 <b>極低温超伝導コンピュータアーキテクチャ技術とその新展開</b> 」 九州大学大学院 システム情報科学研究院 情報知能工学部門 主幹教授 井上 弘士 様	計算機アーキテク チャ
第9回	12月17日(火) 受付中 	「 <b>スマートエネルギーマネジメントシステムのデザイン</b> 」 東京科学大学 総合研究院 ゼロカーボンエネルギー研究所 特任教授 浅野 浩志 様	エネルギーシステ ム、GX
第10回	2025年 1月17日(金) 受付中 	「 <b>AI や電気自動車用半導体単結晶育成のための数値解析と実験</b> 」 東北大学 未来科学技術共同研究センター 特任教授 柿本 浩一 様	材料科学・AI

## 【お問い合わせ先】

アドバンスソフト株式会社 出版事業部  
〒101-0062 東京都千代田区神田駿河台四丁目3番地 新お茶の水ビルディング 17階西  
TEL: 03-6826-3971 FAX: 03-5283-6580 E-mail: office@advancesoft.jp  
<https://www.advancesoft.jp/>



当社では随時人材の募集も行っております。

<https://www.advancesoft.jp/recruit/>

Copyright © 2024 AdvanceSoft Corporation. All right reserved.